

【書類名】 特許願

【整理番号】 A000002013

【提出日】 平成12年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 電気フューズ、この電気フューズを備えた半導体装置及びその製造方法

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 幸山 裕亮

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気フューズ、この電気フューズを備えた半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 対向して設けられた第 1、第 2 の電極と、

これら第 1、第 2 の電極間に介在され、少なくとも一部の領域に、イオン注入により不純物が打ち込まれ、あるいはイオン注入された不純物が貫通することにより絶縁破壊耐圧が制御された絶縁膜とを具備し、

前記絶縁膜を、絶縁破壊するか否かに応じて情報が書き込まれることを特徴とする電気フューズ。

【請求項 2】 半導体基板の第 1 領域上に設けられた第 1 ゲート絶縁膜と、

前記半導体基板における前記第 1 領域から離隔した第 2 領域上に設けられ、少なくとも一部の領域に、イオン注入により不純物が打ち込まれることにより、前記第 1 ゲート絶縁膜より絶縁破壊耐圧が低下された第 2 ゲート絶縁膜と、

前記第 1、第 2 ゲート絶縁膜上にそれぞれ設けられた第 1、第 2 ゲート電極とを具備することを特徴とする半導体装置。

【請求項 3】 第 1 導電型の半導体基板における第 1 領域上に設けられた第 1 ゲート絶縁膜と、

前記半導体基板の前記第 1 領域から離隔した第 2 領域上に設けられ、前記第 1 ゲート絶縁膜より絶縁破壊耐圧が低い第 2 ゲート絶縁膜と、

前記第 1、第 2 ゲート絶縁膜上にそれぞれ設けられた第 1、第 2 ゲート電極と、

前記第 2 ゲート電極下の前記半導体基板における少なくとも一部の領域中に設けられた第 2 導電型の不純物拡散層とを具備し、

前記不純物拡散層は、第 2 導電型の不純物を、前記第 2 ゲート絶縁膜を貫通して前記半導体基板中にイオン注入することにより形成され、前記第 2 ゲート絶縁膜は、イオン注入された第 2 導電型の不純物が貫通することにより、絶縁破壊耐圧が制御されることを特徴とする半導体装置。

【請求項 4】 前記不純物拡散層は、前記第 2 ゲート電極が存在しない領域

まで延設され、

この不純物拡散層の延設部と電氣的に接続される引き出し電極を更に具備することを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 1 ゲート絶縁膜及び第 1 ゲート電極は MOS トランジスタの一部を構成し、

前記第 2 ゲート絶縁膜及び第 2 ゲート電極は、前記第 2 ゲート絶縁膜を絶縁破壊するか否かに応じて情報が書き込まれる電気フューズの一部を構成することを特徴とする請求項 2 乃至 4 いずれか 1 項記載の半導体装置。

【請求項 6】 第 1 の電極上に絶縁膜を形成する工程と、
前記絶縁膜上に第 2 の電極を形成する工程と、
前記絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込み、あるいはイオン注入した不純物を貫通させ、前記絶縁膜の少なくとも一部の領域の絶縁破壊耐圧を制御する工程と
を具備することを特徴とする電気フューズの製造方法。

【請求項 7】 半導体基板の第 1 領域上に MOS トランジスタを形成するとともに、この MOS トランジスタの形成工程の一部を利用して第 2 領域上に電気フューズを形成する半導体装置の製造方法であって、

前記半導体基板の第 1、第 2 領域上にそれぞれ第 1、第 2 ゲート絶縁膜を形成する第 1 の工程と、

前記第 1、第 2 ゲート絶縁膜上にそれぞれ第 1、第 2 ゲート電極層を形成する第 2 の工程と、

前記第 2 ゲート電極層を貫通して、前記第 2 ゲート絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込む第 3 の工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 8】 第 1 導電型の半導体基板における第 1 領域上に MOS トランジスタを形成するとともに、この MOS トランジスタの形成工程の一部を利用して第 2 領域上に電気フューズを形成する半導体装置の製造方法であって、

前記半導体基板の第 1、第 2 領域上にそれぞれ第 1、第 2 ゲート絶縁膜を形成する第 1 の工程と、

前記第 1、第 2 ゲート絶縁膜上にそれぞれ第 1、第 2 ゲート電極層を形成する第 2 の工程と、

前記第 2 ゲート電極層及び前記第 2 ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第 2 導電型の不純物を打ち込む第 3 の工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 3 の工程の後に、

前記第 1、第 2 のゲート電極層上に、それぞれ第 3、第 4 のゲート電極層を形成する第 4 の工程と、

前記第 1 乃至第 4 のゲート電極層をパターニングする第 5 の工程と

を更に具備することを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の工程の後に、

前記第 1、第 2 のゲート電極層上に、それぞれ第 3、第 4 のゲート電極層を形成する第 4 の工程と、

前記第 1 乃至第 4 のゲート電極層をパターニングする第 5 の工程と

を更に具備することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 11】 前記第 2 の工程の後に、

前記第 1、第 2 のゲート電極層上に、それぞれ第 3、第 4 のゲート電極層を形成する第 4 の工程と、

前記第 1 乃至第 4 のゲート電極層をパターニングする第 5 の工程と

を更に具備し、

前記第 3 の工程は、パターニングされた前記第 3 ゲート電極層、前記第 2 ゲート電極層及び前記第 2 ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第 2 導電型の不純物を打ち込むものである

ことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】 前記第 5 の工程は、前記半導体基板における前記不純物が打ち込まれた領域の少なくとも一部を露出させる工程と、

露出された前記不純物の打ち込まれた領域の前記半導体基板に電氣的に接続さ

れる引き出し電極を形成する工程とを含む

ことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 13】 前記第 3 の工程は、前記第 2、第 4 ゲート電極層がパターンニングされて露出された領域の前記半導体基板中へ第 2 導電型の不純物を打ち込む工程と、

露出された前記不純物の打ち込まれた領域の前記半導体基板に電氣的に接続される引き出し電極を形成する工程とを含む

ことを特徴とする請求項 10 または 11 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電気フューズ、この電気フューズを備えた半導体装置及びその製造方法に関し、特にリダンダンシ (redundancy) 技術に用いる電気フューズに係るものである。

【0002】

【従来の技術】

近年の半導体装置の製造技術の高度化により、半導体装置は年々微細化及び大規模集積化が進んでいる。しかし、集積度の世代が進むに従って、前世代と同じ歩留まりを維持することが困難となってきた。この半導体装置の歩留まりを向上させるための技術として、リダンダンシ技術が注目されている。これは、部分的に不良となった半導体素子を救済するために内部にフューズ素子を設けておき、不良箇所に対応したフューズ素子を切断することによりスペアの半導体素子と置き換えることで、チップ全体としての歩留まりを向上させるものである。

【0003】

上記フューズ素子の一つに、金属配線層をレーザー照射により溶断する（レーザーブロー）ことで、不良箇所に対応した情報を書き込むレーザーフューズがある。しかし、レーザーフューズは、レーザーブロー後の後工程（パッケージ工程等）で新たに不良が発生した場合、当該不良箇所を救済することが出来ない。更に、この場合は最終的に不良品となるチップに対してもレーザーブローを行っているため、無

駄にコストが掛かっていた。

【 0 0 0 4 】

一方、フューズ素子を電氣的に切断、または短絡する電気フューズは、後工程終了後でも不良箇所の置き換えが可能であり、レーザフューズに比べて半導体装置の歩留まりを向上できる。更に、後工程で不良となるチップについては置き換えを行わないので、効率が良く有効なりダンダンシ手段である。この電気フューズの種類にキャパシタ構造を用いたアンチフューズがある。これは、キャパシタ構造（フューズキャパシタ）に高電圧をかけて絶縁膜を破壊し、フューズキャパシタを電氣的に短絡させることにより情報を書き込むものである。

【 0 0 0 5 】

上記アンチフューズの構造及び製造方法について図 1 9 (a)、(b)乃至図 2 1 (a)、(b)を用いて説明する。図 1 9 (a)、(b)乃至図 2 1 (a)、(b)はMOS構造のアンチフューズの製造工程の断面図を順次示しており、(a)図は本来の素子としてのMOSトランジスタを形成する回路部、(b)図は周辺回路のうちのアンチフューズ部である。

【 0 0 0 6 】

まず図 1 9 (a)、(b)に示すように、シリコン基板 1 0 0 に素子分離領域 1 1 0 を形成する。そして、全面にゲート絶縁膜 1 2 0 及び多結晶シリコン膜 1 3 0 a を形成する。

【 0 0 0 7 】

次に、低抵抗化のために多結晶シリコン膜 1 3 0 a 中に不純物をイオン注入し、図 2 0 (a)、(b)に示すように、多結晶シリコン膜 1 3 0 a 上にタングステン膜 1 3 0 b を形成する。

【 0 0 0 8 】

次に図 2 1 (a)、(b)に示すように、回路部、アンチフューズ部の多結晶シリコン膜 1 3 0 a 及びタングステン膜 1 3 0 b をパターニングして、ゲート電極 1 3 0 を形成する。その後は回路部において、ソース、ドレイン領域となる不純物拡散層（図示せず）を選択的に形成する。これにより、回路部ではMOSトランジスタが、アンチフューズ部では、ゲート電極 1 3 0、ゲート絶縁膜 1 2 0

、及びシリコン基板 1 0 0 のキャパシタ構造からなるアンチフューズが完成する。

【 0 0 0 9 】

また、上記アンチフューズは、様々な半導体装置に広く応用出来、大規模集積化が進む D R A M (Dynamic Random Access Memory) においても、不良メモリセルを冗長メモリセルに置き換える際等に用いられている。図 2 2 (a)、(b) 乃至図 2 4 (a)、(b) は両面シリンダ型のスタック・キャパシタ (stacked capacitor) を採用した D R A M の製造工程の断面図を順次示しており、(a) 図はメモリセルアレイ部、(b) 図は周辺回路のうちのアンチフューズ部である。

【 0 0 1 0 】

まず図 2 2 (a)、(b) に示すように、周知の技術によりシリコン基板 1 0 0 に素子分離領域 1 1 0 を形成する。そして、全面にゲート絶縁膜 1 2 0 を形成し、このゲート絶縁膜 1 2 0 上に、メモリセルアレイ部ではゲート電極 1 3 0 を形成する。更に、隣接するゲート電極 1 3 0 間のシリコン基板 1 0 0 中に不純物拡散層 1 4 0 を形成することでセルトランジスタを形成する。また、アンチフューズ部ではキャパシタの電極の一端と接続する不純物拡散層 1 4 0 を形成する。そして、全面に層間絶縁膜 1 5 0 を形成し、メモリセルアレイ部ではセルトランジスタのドレイン領域と接続するビット線 1 7 0 を形成する。しかる後に、層間絶縁膜 1 6 0 を形成して、セルトランジスタのソース領域及びアンチフューズ部の不純物拡散層 1 4 0 と接続するコンタクトプラグ 1 8 0、このコンタクトプラグ 1 8 0 に接続する両面シリンダ型のキャパシタ下部電極 1 9 0 を形成する。

【 0 0 1 1 】

次に図 2 3 (a)、(b) に示すように、キャパシタ下部電極 1 9 0 上にキャパシタ絶縁膜 2 0 0 及びキャパシタ上部電極 2 1 0 を順次形成して、所望のパターンにパターニングする。本工程により、メモリセルアレイ部、アンチフューズ部にそれぞれ、セルキャパシタ及びフューズキャパシタを完成する。

【 0 0 1 2 】

その後は周知の技術により層間絶縁膜 2 2 0 及び図示せぬ金属配線層等を形成

して図 2 4 (a) 、 (b) の構造を完成する。

【 0 0 1 3 】

上記のように、M O S 構造を有するアンチフューズは通常、M O S トランジスタと同時に形成され、ゲート電極 1 3 0 とシリコン基板 1 0 0 との間に高電圧を印加し、ゲート絶縁膜 1 2 0 の絶縁破壊を起こして導通状態にすることで不良アドレス情報を書き込む。また、D R A M におけるアンチフューズは、セルキャパシタと同時に形成され、キャパシタ下部電極 1 9 0 とキャパシタ上部電極 2 1 0 との間に高電圧を印加し、キャパシタ絶縁膜 2 0 0 の絶縁破壊を起こすことで情報を書き込む。これらアンチフューズは、同時に形成された M O S トランジスタやセルキャパシタ等と同一の特性を有することとなる。しかしながら、M O S トランジスタやセルキャパシタ等と、アンチフューズに求められる特性は当然異なっている。すなわち、M O S トランジスタやセルキャパシタ等には、その信頼性を確保するために高い絶縁破壊耐圧が求められる。一方でアンチフューズには、出来るだけ低電圧でフューズを破壊したいため、逆に低い絶縁破壊耐圧が求められる。

【 0 0 1 4 】

従って、上記のように M O S トランジスタやセルキャパシタと同一の構造のキャパシタをフューズキャパシタとして用いる場合、そのキャパシタ構造には、M O S トランジスタやセルキャパシタとしての性能を最低限保証できる絶縁破壊耐圧と、アンチフューズとしてはなるべく低い電圧で情報を書き込むことの出来る絶縁破壊耐圧とを両立しなければならない。アンチフューズに着目すれば、低電圧で情報を書き込むために絶縁膜の絶縁破壊耐圧を出来るだけ低く設定することが望ましい。しかし、同様の特性を有する M O S トランジスタやセルキャパシタの特性を保証しなければならないため、絶縁破壊耐圧を下げるには限界がある。すなわち、アンチフューズとしての性能に上限と下限が存在することになり、プロセスウィンドウの狭い開発を強いられることになる。

【 0 0 1 5 】

また、D R A M の開発初期において、アンチフューズと同時に形成するセルキャパシタはその信頼性を保証する性能に達しておらず、開発が進むにつれて目標

性能に近づいていくこととなる。そのため、アンチフューズの技術開発は、セルキャパシタが本来の性能に達する開発後期になって漸く開始できることとなり、開発期間が長くなる等の問題があった。

【0016】

【発明が解決しようとする課題】

上記のように従来の半導体装置では、各種のキャパシタを電氣的に短絡させるタイプのアンチフューズが用いられている。これらのフューズキャパシタは、例えばMOSトランジスタやセルキャパシタ等の各種素子と同時に形成され、同様の構造、またはその構造の一部により構成されることが通常である。

【0017】

しかし、例えばMOSトランジスタやセルキャパシタ等の各種素子にはその信頼性を確保するために高い絶縁破壊耐圧が求められ、逆にアンチフューズ素子として機能するキャパシタには低電圧でキャパシタを短絡させて情報を書き込むために低い絶縁破壊耐圧が求められるという矛盾があった。そのため、キャパシタには上記2つの要求に対する妥協点に相当する絶縁破壊耐圧を持たせることとなり、プロセスウィンドウの狭い開発を強いられるという問題があった。また、本来の素子の開発の後にフューズキャパシタの技術開発を開始することになり、開発期間が長くなるという問題があった。

【0018】

この発明は、上記事情に鑑みてなされたもので、その目的は、フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供することにある。

【0019】

【課題を解決するための手段】

この発明の請求項1に記載した電気フューズは、対向して設けられた第1、第2の電極と、これら第1、第2の電極間に介在され、少なくとも一部の領域に、イオン注入により不純物が打ち込まれ、あるいはイオン注入された不純物が貫通することにより絶縁破壊耐圧が制御された絶縁膜とを具備し、前記絶縁膜を、絶

縁破壊するか否かに応じて情報が書き込まれることを特徴としている。

【0020】

またこの発明の請求項2に記載した半導体装置は、半導体基板の第1領域上に設けられた第1ゲート絶縁膜と、前記半導体基板における前記第1領域から離隔した第2領域上に設けられ、少なくとも一部の領域に、イオン注入により不純物が打ち込まれることにより、前記第1ゲート絶縁膜より絶縁破壊耐圧が低下された第2ゲート絶縁膜と、前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極とを具備することを特徴としている。

【0021】

更にこの発明の請求項3に記載した半導体装置は、第1導電型の半導体基板における第1領域上に設けられた第1ゲート絶縁膜と、前記半導体基板の前記第1領域から離隔した第2領域上に設けられ、前記第1ゲート絶縁膜より絶縁破壊耐圧が低い第2ゲート絶縁膜と、前記第1、第2ゲート絶縁膜上にそれぞれ設けられた第1、第2ゲート電極と、前記第2ゲート電極下の前記半導体基板における少なくとも一部の領域中に設けられた第2導電型の不純物拡散層とを具備し、前記不純物拡散層は、第2導電型の不純物を、前記第2ゲート絶縁膜を貫通して前記半導体基板中にイオン注入することにより形成され、前記第2ゲート絶縁膜は、イオン注入された第2導電型の不純物が貫通することにより、絶縁破壊耐圧が制御されることを特徴としている。

【0022】

請求項4に記載したように、請求項3記載の半導体装置において、前記不純物拡散層は、前記第2ゲート電極が存在しない領域まで延設され、この不純物拡散層の延設部と電氣的に接続される引き出し電極を更に具備することを特徴としている。

【0023】

請求項5に記載したように、請求項2乃至4いずれか1項記載の半導体装置において、前記第1ゲート絶縁膜及び第1ゲート電極はMOSトランジスタの一部を構成し、前記第2ゲート絶縁膜及び第2ゲート電極は、前記第2ゲート絶縁膜を絶縁破壊するか否かに応じて情報が書き込まれる電気フューズの一部を構成す

ることを特徴としている。

【0024】

この発明の請求項6に記載した電気フューズの製造方法は、第1の電極上に絶縁膜を形成する工程と、前記絶縁膜上に第2の電極を形成する工程と、前記絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込み、あるいはイオン注入した不純物を貫通させ、前記絶縁膜の少なくとも一部の領域の絶縁破壊耐圧を制御する工程とを具備することを特徴としている。

【0025】

またこの発明の請求項7に記載した半導体装置の製造方法は、半導体基板の第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、前記第2ゲート電極層を貫通して、前記第2ゲート絶縁膜の少なくとも一部の領域に、イオン注入により不純物を打ち込む第3の工程とを具備することを特徴としている。

【0026】

更にこの発明の請求項8に記載した半導体装置の製造方法は、第1導電型の半導体基板における第1領域上にMOSトランジスタを形成するとともに、このMOSトランジスタの形成工程の一部を利用して第2領域上に電気フューズを形成する半導体装置の製造方法であって、前記半導体基板の第1、第2領域上にそれぞれ第1、第2ゲート絶縁膜を形成する第1の工程と、前記第1、第2ゲート絶縁膜上にそれぞれ第1、第2ゲート電極層を形成する第2の工程と、前記第2ゲート電極層及び前記第2ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第2導電型の不純物を打ち込む第3の工程とを具備することを特徴としている。

【0027】

請求項9に記載したように、請求項7または8記載の半導体装置の製造方法において、前記第3の工程の後に、前記第1、第2のゲート電極層上に、それぞれ

第 3、第 4 のゲート電極層を形成する第 4 の工程と、前記第 1 乃至第 4 のゲート電極層をパターンニングする第 5 の工程とを更に具備することを特徴としている。

【 0 0 2 8 】

請求項 1 0 に記載したように、請求項 7 記載の半導体装置の製造方法において、前記第 2 の工程の後に、前記第 1、第 2 のゲート電極層上に、それぞれ第 3、第 4 のゲート電極層を形成する第 4 の工程と、前記第 1 乃至第 4 のゲート電極層をパターンニングする第 5 の工程とを更に具備することを特徴としている。

【 0 0 2 9 】

請求項 1 1 に記載したように、請求項 8 記載の半導体装置の製造方法において、前記第 2 の工程の後に、前記第 1、第 2 のゲート電極層上に、それぞれ第 3、第 4 のゲート電極層を形成する第 4 の工程と、前記第 1 乃至第 4 のゲート電極層をパターンニングする第 5 の工程とを更に具備し、前記第 3 の工程は、パターンニングされた前記第 3 ゲート電極層、前記第 2 ゲート電極層及び前記第 2 ゲート絶縁膜を貫通して、前記半導体基板中の少なくとも一部の領域に、イオン注入により第 2 導電型の不純物を打ち込むものであることを特徴としている。

【 0 0 3 0 】

請求項 1 2 に記載したように、請求項 9 記載の半導体装置の製造方法において、前記第 5 の工程は、前記半導体基板における前記不純物が打ち込まれた領域の少なくとも一部を露出させる工程と、露出された前記不純物の打ち込まれた領域の前記半導体基板に電氣的に接続される引き出し電極を形成する工程とを含むことを特徴としている。

【 0 0 3 1 】

請求項 1 3 に記載したように、請求項 1 0 または 1 1 記載の半導体装置の製造方法において、前記第 3 の工程は、前記第 2、第 4 ゲート電極層がパターンニングされて露出された領域の前記半導体基板中へ第 2 導電型の不純物を打ち込む工程と、露出された前記不純物の打ち込まれた領域の前記半導体基板に電氣的に接続される引き出し電極を形成する工程とを含むことを特徴としている。

【 0 0 3 2 】

請求項 1、6 のような構成及び製造方法によれば、2 つの電極間に絶縁膜を介

在させたキャパシタ構造の電気フューズにおいて、絶縁膜中に不純物をイオン注入により打ち込んでいる、または絶縁膜中を貫通させている。このように、絶縁膜内に不純物を打ち込むことや、絶縁膜内に不純物を通過させることにより、絶縁膜の耐圧を制御できる。電気フューズ、特にアンチフューズはキャパシタ構造におけるキャパシタ絶縁膜を絶縁破壊させて情報を書き込むものである。すなわち、この発明の請求項 1、6 によれば、イオン注入により絶縁膜内に不純物を打ち込むことや、絶縁膜内に不純物を通過させることにより、絶縁膜の耐圧を低下させ、アンチフューズへの書き込み電圧を低減出来る。このように、アンチフューズの特性を独立に制御できるため、MOS トランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べて開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上できる。

【 0 0 3 3 】

請求項 2、5、7 のように、MOS トランジスタの MOS 構造を流用してアンチフューズを形成する場合においても、イオン注入によりアンチフューズ部のゲート絶縁膜内に不純物を打ち込み、または不純物を通過させることによりゲート絶縁膜の絶縁破壊耐圧を制御して、アンチフューズへの書き込み電圧を低減できる。このように、アンチフューズ部のゲート絶縁膜の特性を MOS トランジスタのゲート絶縁膜とは独立に制御できるため、MOS トランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べて開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上できる。

【 0 0 3 4 】

請求項 3、5、8 のように、MOS トランジスタの MOS 構造を流用してアンチフューズを形成する場合において、イオン注入によりアンチフューズ部のゲート絶縁膜内を貫通させて不純物を半導体基板内に打ち込むことにより、ゲート絶縁膜の絶縁破壊耐圧を制御して、アンチフューズへの書き込み電圧を低減できる。また半導体基板内に不純物を打ち込むことで不純物拡散層を形成しており、この不純物拡散層がフューズキャパシタの一方の電極となるため、電気フューズのサイズを小型に出来る。このように、アンチフューズ部のゲート絶縁膜の特性を

MOSトランジスタのゲート絶縁膜とは独立に制御できるため、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発を始めることが出来るので、従来に比べ、開発期間を短縮でき、更に電気フューズ及び半導体装置の信頼性、性能を向上しつつ、大規模集積化に適した電気フューズを実現できる。

【 0 0 3 5 】

請求項9乃至11のように、例えば多結晶シリコンとタングステン等からなる多層ゲート構造のMOS構造においても、本発明の構成及び方法が適用できる。

【 0 0 3 6 】

請求項4、12、13のように、半導体基板内ヘイオン注入により不純物が打ち込まれた領域に形成された不純物拡散層と電氣的に接続する引き出し電極を形成することによって、フューズキャパシタのサイズを小さくできる。そのため、この構造は大規模集積化の進む半導体装置に最適と言える。

【 0 0 3 7 】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 3 8 】

この発明の第1の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図1(a)、(b)乃至図3(a)、(b)はそれぞれMOSトランジスタの製造工程の断面図を順次示しており、(a)図はMOSトランジスタを形成する回路部、(b)図は周辺回路部のうちアンチフューズ部を示している。

【 0 0 3 9 】

まず図1(a)、(b)に示すように、周知の技術によりシリコン基板10に素子分離領域11を、例えばSTI(Shallow Trench Isolation)技術により形成した後、シリコン基板10上に例えばドライ酸化法等によりゲート絶縁膜12aを形成する。引き続き、ゲート電極の一部となる多結晶シリコン膜13aをCVD(Chemical Vapor Deposition)法等により形成する。そして、多結晶シリ

コン膜13aに、nチャネル、pチャネルMOSトランジスタに応じた不純物を導入する。

【0040】

次に全面にレジスト30-1を塗布し、リソグラフィ技術によりレジスト30-1をパターニングしてアンチフューズ部のみを露出させる。そして図2(a)、(b)に示すように、例えば砒素、リン、またはボロン等の不純物を、 $10^{13} \sim 10^{15} \text{ cm}^{-3}$ オーダーのドーズ量でイオン注入する。この際のイオン注入は、多結晶シリコン膜13aを貫通してゲート絶縁膜12aに打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部ではイオンが打ち込まれたゲート絶縁膜12bが形成される。なお、ゲート絶縁膜12aに打ち込む不純物はゲート絶縁膜12aの絶縁破壊耐圧を劣化させることのできる元素であれば特に限られるものではない。

【0041】

次にレジスト30-1を剥離し、多結晶シリコン膜13a上にゲート電極の一部となるタングステン膜13bを、例えばCVD法やスパッタリング法等により形成する。そしてリソグラフィ技術とエッチングにより、多結晶シリコン膜13a及びタングステン膜13bとをパターニングして図3(a)、(b)に示すようなゲート電極13を形成する。

【0042】

その後は周知の技術によりMOSトランジスタの不純物拡散層及び層間絶縁膜などを形成して半導体装置を完成する。

【0043】

上記のような構造及び製造方法によれば、アンチフューズ部に形成したフューズキャパシタのキャパシタ絶縁膜となるゲート絶縁膜に不純物をイオン注入することにより、回路部のMOSトランジスタのゲート絶縁膜に比べて絶縁破壊耐圧の低いゲート絶縁膜を形成でき、アンチフューズの書き込み電圧を低減できる。また、絶縁破壊耐圧の低下の度合いはイオン注入時のイオン種、加速電圧、またはドーズ量等により制御が可能である。そのため、MOSトランジスタに求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧と

を両立できるので、半導体装置の信頼性及び性能を向上出来る。更に、フューズキャパシタの性能をイオン注入条件によりMOSトランジスタとは独立に制御できるので、MOSトランジスタの開発の進展を待つことなくアンチフューズの開発が進められ、開発期間の短縮を図ることが出来る。

【0044】

次にこの発明の第2の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図4(a)、(b)乃至図6(a)、(b)はそれぞれMOSトランジスタの製造工程の断面図を順次示しており、(a)図はMOSトランジスタを形成する回路部、(b)図は周辺回路部のうちアンチフューズ部を示している。

【0045】

まず図4(a)、(b)に示すように、p型シリコン基板10に素子分離領域11を形成した後、シリコン基板10上にゲート絶縁膜12aを介してゲート電極の一部となる多結晶シリコン膜13a及びタングステン膜13bを形成する。そして、リソグラフィ技術とエッチングにより多結晶シリコン膜13a、タングステン膜13bとをパターニングしてゲート電極13を形成する。なお、アンチフューズ部においては、ゲート電極13が素子領域を全て覆わずに、素子領域表面の一部が露出するよう予めずらしてゲート電極13を配置する。

【0046】

次に全面にレジスト30-2を塗布し、リソグラフィ技術によりレジスト30-2をパターニングしてアンチフューズ部のみを露出させる。そして図5(a)、(b)に示すように、n型不純物をイオン注入する。この際、イオン注入はタングステン膜13b及び多結晶シリコン膜13aを貫通し、ゲート絶縁膜12a及びシリコン基板10中に打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部では、イオンが打ち込まれたゲート絶縁膜12bが形成され、またシリコン基板10中にはn型不純物拡散層31が形成される。なお、前述のように、アンチフューズ部におけるゲート電極13は素子領域に対してずれて配置されている。そのためゲート電極13直下の領域では、ゲート電極13の

存在しない領域に形成される不純物拡散層 3 1 a に比べ、イオンがゲート電極 1 3 を貫通する分だけ浅い不純物拡散層 3 1 b が形成される。

【 0 0 4 7 】

その後は図 6 (a) 、 (b) に示すように、周知の技術により MOS トランジスタのソース、ドレイン領域となる不純物拡散層 (図示せず) 及び層間絶縁膜 3 2 を形成する。そして、アンチフューズ部の深い不純物拡散層 3 1 a に接続するコンタクトホール 3 3 を形成し、このコンタクトホール 3 3 を埋め込む金属配線層 3 4 を形成してアンチフューズを完成する。

【 0 0 4 8 】

上記のような構成及び製造方法によれば、ゲート絶縁膜にシリコン基板 1 0 と逆導電型の不純物を導入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にもその不純物を導入して下部電極となる不純物拡散層を形成している。そのため、第 1 の実施形態で説明した効果に加えて、電気フューズのサイズを非常に小さくできるので、微細化、大規模集積化の進んだ集積回路に適した電気フューズを実現できる。

【 0 0 4 9 】

次にこの発明の第 3 の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法について MOS トランジスタの一部を用いたアンチフューズを例に挙げて説明する。図 7 及び図 8 はそれぞれ MOS トランジスタの一部を用いたアンチフューズの製造工程の断面図を順次示している。MOS トランジスタの形成予定領域については説明の簡単化のために省略する。

【 0 0 5 0 】

まず周知の技術により、第 2 の実施形態で説明した図 4 (a) 、 (b) の構造を形成する。やはり、アンチフューズ部においては、ゲート電極 1 3 が素子領域を全て覆わないよう、予めずらして配置する。

【 0 0 5 1 】

次に全面にレジスト 3 0 - 3 を塗布し、リソグラフィ技術によりレジスト 3 0 - 3 をパターニングしてアンチフューズ部のみを露出させる。そして図 7 に示すように、イオンがゲート電極 1 3 を貫通しない程度に加速電圧を調整して、n 型

不純物をイオン注入する。この際角度をつけてイオン注入を行うことにより、ゲート電極 1 3 を設けない領域及びゲート電極 1 3 のエッジのゲート絶縁膜 1 2 a、p 型シリコン基板 1 0 にイオンを打ち込む。従って、図 7 に示すように、ゲート電極 1 3 のエッジ部分直下のゲート絶縁膜 1 2 a が、絶縁破壊耐圧の劣化したゲート絶縁膜 1 2 b となり、またシリコン基板 1 0 のゲート電極 1 3 のエッジ部分直下まで潜り込むようにして不純物拡散層 3 1 が形成される。

【 0 0 5 2 】

その後は図 8 に示すように、周知の技術により層間絶縁膜 3 2 を形成する。そして、アンチフューズ部の不純物拡散層 3 1 に接続するコンタクトホール 3 3 を形成し、このコンタクトホール 3 3 を埋め込む金属配線層 3 4 を形成してアンチフューズを完成する。

【 0 0 5 3 】

上記のような構成及び製造方法によれば、ゲート絶縁膜にシリコン基板と逆導電型の不純物をイオン注入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にもその不純物をイオン注入して下部電極となる不純物拡散層を形成している。また、イオン注入は斜め方向から行い、且つイオンがゲート電極を通過しない条件で行うことにより、ゲート電極エッジのゲート絶縁膜を劣化させている。通常、ゲート電極エッジでは電界の集中が起きる。そのため、ゲート電極中央部直下のゲート絶縁膜に比べ、ゲート電極エッジ直下のゲート絶縁膜の絶縁破壊耐圧は悪い。そのため、第 2 の実施形態のようにゲート絶縁膜の全領域に不純物をイオン注入すると、その絶縁破壊耐圧の制御が比較的困難となる。すなわち、ゲート電極エッジではあまり絶縁破壊耐圧が悪くなりすぎないように、逆にゲート電極中央部では良くなりすぎないように、というように 2 つの領域を加味して特性を制御する必要があった。しかし、本実施形態によれば、ゲート電極エッジのゲート絶縁膜を劣化させているため、その特性の制御はゲート電極エッジについてのみ着目して行うことが出来る。そのため、第 2 の実施形態で説明した効果に加えて、イオン注入条件の最適化が容易となり、半導体装置の製造コストを削減できる。

【 0 0 5 4 】

次にこの発明の第4の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法についてMOSトランジスタの一部を用いたアンチフューズを例に挙げて説明する。図9及び図10はそれぞれMOSトランジスタの一部を用いたアンチフューズの製造工程の断面図を順次示している。

【0055】

まず周知の技術により、第1の実施形態で説明した図1(a)、(b)の構造を形成する。そして、全面にレジスト30-4を塗布し、リソグラフィ技術によりレジスト30-4をパターニングしてアンチフューズ部のみを露出させる。

【0056】

次に図9に示すように、シリコン基板と逆導電型の不純物をイオン注入する。このイオン注入の際には、不純物が多結晶シリコン膜13aを貫通し、ゲート絶縁膜12a及びシリコン基板10中に打ち込まれるように加速電圧を調整する。この工程によりアンチフューズ部ではイオンが打ち込まれたゲート絶縁膜12b及び不純物拡散層31が図示するように形成される。

【0057】

次にレジスト30-4を剥離し、多結晶シリコン膜13a上にゲート電極の一部となるタングステン膜13bを形成する。そしてリソグラフィ技術とエッチングにより、多結晶シリコン膜13a及びタングステン膜13bとをパターニングして図10に示すようなゲート電極13を形成する。すなわち、ゲート電極13が素子領域を全て覆わないよう加工される。その後は周知の技術によりMOSトランジスタの不純物拡散層及び層間絶縁膜32を形成する。そして、不純物拡散層31に接続するコンタクトホール33を形成し、このコンタクトホール33を埋め込む金属配線層34を形成してアンチフューズを完成する。

【0058】

上記のような構成及び製造方法によれば、上記第1、第2の実施形態の利点を兼ね備えた半導体装置を実現できる。すなわち、ゲート絶縁膜に不純物を導入してゲート絶縁膜の絶縁破壊耐圧を低下させると共に、シリコン基板中にも逆導電型の不純物を導入して下部電極となる不純物拡散層を形成している。そのため、電気フューズの書き込み電圧を低減しつつ、サイズを非常に小さくできるので、

微細化、大規模集積化の進んだ集積回路に適した電気フューズを実現できる。また、イオン注入は、タングステン膜 1 3 b を通過させる必要がないため、イオン注入条件、すなわちイオン種、加速電圧、ドーズ量等の設定が簡単に出来、製造コストを削減できる。

【 0 0 5 9 】

次に、この発明の第 5 の実施形態に係る電気フューズ、この電気フューズを備えた半導体装置及びその製造方法について D R A M のセルキャパシタを利用したアンチフューズを例に挙げて説明する。図 1 1 (a)、(b) 乃至図 1 4 (a)、(b) は両面シリンダ型のスタック・キャパシタを有する D R A M の製造工程の断面図を順次示しており、(a) 図はメモリセルアレイ部、(b) 図は周辺回路部のうちのアンチフューズ部である。

【 0 0 6 0 】

まず図 1 1 (a)、(b) に示すように、周知の技術によりシリコン基板 1 0 に素子分離領域 1 1 を形成する。そして全面にゲート絶縁膜 1 2 を形成し、メモリセルアレイ部では更にゲート電極 (ワード線) 1 3 を形成する。引き続き、隣接するゲート電極 1 3 間のシリコン基板 1 0 中に、ソース、ドレイン領域となる不純物拡散層 1 4 を形成してセルトランジスタを完成する。また、アンチフューズ部においても、フューズキャパシタと接続する拡散層 1 4 を形成する。

【 0 0 6 1 】

次に全面に層間絶縁膜 1 5 を形成する。層間絶縁膜 1 5 の材料には、段差被覆性の高い B P S G (Boron Phosphorous Silicate Glass) 膜や T E O S (tetraethylorthosilicate ; $\text{Si}(\text{OC}_2\text{H}_5)_4$) により形成したシリコン酸化膜が用いられる。この層間絶縁膜 1 5 内に、セルトランジスタのドレイン領域に接続するビット線 1 7 を形成し、更に層間絶縁膜 1 6 を堆積形成する。

【 0 0 6 2 】

次に図 1 2 (a)、(b) に示すように、セルトランジスタのソース領域及びアンチフューズ部の不純物拡散層 1 4 と接続するコンタクトプラグ 1 8 を形成し、このコンタクトプラグ 1 8 に接続するように、両面シリンダ型のキャパシタ下部電極 1 9 を形成する。引き続きキャパシタ絶縁膜 2 0 a、キャパシタ上部電極

21を順次形成し、所望の配線パターンにパターニングすることによりメモリセルアレイ部、アンチフューズ部にそれぞれ、セルキャパシタ及びフューズキャパシタを完成する。

【0063】

次に全面にレジスト30-5を塗布し、リソグラフィ技術により、アンチフューズ部のレジスト30-5を除去する。そして、図13(a)、(b)に示すようにレジスト30-5をマスクに用いて不純物のイオン注入を行う。この際、イオン注入は斜め方向から行い、キャパシタ上部電極21を貫通してキャパシタ絶縁膜20aに打ち込まれるように加速電圧を調整する。この工程により、アンチフューズ部では不純物の導入されたキャパシタ絶縁膜20bが形成される。なお、ゲート絶縁膜12aに打ち込む不純物はゲート絶縁膜12aの絶縁破壊耐圧を低下させることのできる元素であれば特に限られるものではない。また、本実施形態では斜め方向からイオン注入を行っているが、不純物がキャパシタ絶縁膜20aの少なくとも一部に打ち込まれればよいので、イオン注入の注入方向はどの角度から行ってもかまわない。

【0064】

その後はレジスト30-5をアッシング等により剥離した後、周知の技術により、層間絶縁膜22を形成し、キャパシタ上部電極21にコンタクトプラグ23を介して接続する金属配線層24を形成する。そして、更に層間絶縁膜25を形成して、図14(a)、(b)に示すような構造のDRAMを完成する。

【0065】

そして図15(a)に示すように、上記DRAMのメモリセルアレイのワード線はロウデコーダに接続されて選択的に駆動され、ビット線はセンスアンプに接続されている。また、チップ上の別の領域には不良メモリセルを置き換えを行うための冗長回路が配置されている。この冗長回路は図15(b)に示すように、レーザフューズ及び電気フューズからなる各種フューズ群と、各フューズに各々接続された制御回路と、それらの制御回路を切り替えるスイッチ回路とを有しており、スイッチ回路の出力はメモリセルアレイ内に設けられたスペアのメモリセルに接続するスペアワード線となっている。制御回路は例えば不良アドレスレジ

スタであり、不良アドレスに応じた情報が各種フューズに書き込まれている。そして、不良アドレスへアクセスがなされた場合、スイッチ回路により不良アドレスに応じたスペアワード線が選択される。

【 0 0 6 6 】

上記のような構成及び製造方法による D R A M によれば、アンチフューズ部に形成したフューズキャパシタのキャパシタ絶縁膜にイオンを注入することにより、フューズキャパシタの絶縁破壊耐圧をメモリセルアレイ部のセルキャパシタに比べて絶縁破壊耐圧を低下させることが出来、より低電圧での書き込みが可能となる。また、絶縁破壊耐圧の低下の度合いはイオン注入時のイオン種、加速電圧、またはドーズ量等により制御が可能である。そのため、本来のキャパシタ素子に求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧とを両立できるので、D R A M の信頼性及び性能を向上出来る。更に、フューズキャパシタの性能をイオン注入条件により制御できる、すなわちフューズキャパシタの性能をセルキャパシタに対して独立に制御できるので、セルキャパシタの特性決定を待たずにフューズキャパシタの開発を開始でき、開発期間の短縮を図ることが出来る。

【 0 0 6 7 】

上記第 1 乃至第 5 の実施形態によれば、電気フューズを構成する絶縁膜中に不純物をイオン注入することにより、電気フューズのみの絶縁破壊耐圧を低下させ、且つその特性を自在に設定できる。絶縁膜中にイオン注入する不純物は、通常、シリコンデバイスにおいて広く用いられている砒素、リン、及びボロン等を用いることが、イオン注入条件設定などの面から好ましいが、勿論、他にシリコンやアルゴン等、絶縁破壊耐圧を劣化させることのできる元素であれば特に限られるものではない。そのため、電気フューズの特性をその他の素子に対して独立に制御でき、その制御回路の設計の最適化が容易となり、半導体装置の性能向上及び開発期間の短縮化を図ることが出来る。また、第 1 乃至第 4 の実施形態では、ゲート絶縁膜を劣化させるイオン注入と同時に形成した不純物拡散層を電気フューズの電極として用いることにより、その占有面積を低減でき、集積回路の微細化、大規模集積化に寄与できる。

【 0 0 6 8 】

なお、上記第 1 乃至第 5 の実施形態では、フューズキャパシタのキャパシタ絶縁膜内に不純物をイオン注入している。しかし、不純物をキャパシタ絶縁膜内を通過させることによってキャパシタ絶縁膜を劣化させることができる。すなわち、第 2 乃至第 4 の実施例においては、ゲート絶縁膜 1 2 a 内に不純物が打ち込まれるようにイオン注入を行うのではなく、ゲート絶縁膜 1 2 a を通過してシリコン基板 1 0 内にのみ不純物が打ち込まれるようにイオン注入を行っても良い。この方法によっても、絶縁破壊耐圧の劣化したゲート絶縁膜 1 2 b を形成できる。

【 0 0 6 9 】

また、上記実施形態においては、DRAMにおけるセルキャパシタ及びMOSトランジスタの一部を用いた電気フューズを例に挙げて説明したが、この発明の主旨は、アンチフューズの絶縁膜に不純物を導入することにより、その絶縁破壊耐圧を制御することにより、上記構造のアンチフューズに限られるものではない。

【 0 0 7 0 】

図 1 6 は層間絶縁膜を用いたアンチフューズの例である。図示するように、シリコン基板 1 0 上に、ゲート電極 1 3 となる多結晶シリコン膜 1 3 a 及びタンゲステン膜 1 3 b がゲート絶縁膜（図示せず）を介して設けられている。そして全面を層間絶縁膜 3 2 が覆っており、この層間絶縁膜 3 2 上にバリアメタル層 3 4 a 及び金属層 3 4 b からなる金属配線層 3 4 が設けられている。この構造は、ゲート電極 1 3、層間絶縁膜 3 2、金属配線層 3 4 をそれぞれ下部電極、キャパシタ絶縁膜、上部電極とするフューズキャパシタとなっている。そして、キャパシタ絶縁膜となる層間絶縁膜 3 2 に不純物をイオン注入することにより、その絶縁破壊耐圧を制御できる。

【 0 0 7 1 】

図 1 7 は、ゲート側壁絶縁膜を用いたアンチフューズの例である。図示するように、シリコン基板 1 0 上に、ゲート絶縁膜 1 2 a を介してゲート電極 1 3 が設けられている。そしてこのゲート電極 1 3 を被覆するようにしてゲート側壁絶縁

膜 35 が設けられ、更にゲート側壁絶縁膜 35 に隣接するようにして金属配線層 36 が設けられている。この構造は、ゲート電極 13、金属配線層 36 を電極に、ゲート側壁絶縁膜 35 をキャパシタ絶縁膜とするフューズキャパシタを構成している。そして、キャパシタ絶縁膜となるゲート側壁絶縁膜 35 に不純物をイオン注入することにより、その絶縁破壊耐圧を制御できる。

【0072】

更に図 18 は、金属配線間の絶縁膜を用いたアンチフューズの例である。図示するように、層間絶縁膜には 2 本の金属配線層 37、37 が形成されており、この金属配線層 37 が電極に、2 本の金属配線層 37 間の層間絶縁膜 32 がキャパシタ絶縁膜となるフューズキャパシタとなっている。この 2 本の金属配線層 37 間の層間絶縁膜 32 に不純物をイオン注入することにより、アンチフューズの絶縁破壊耐圧を制御できる。

【0073】

この発明は上記実施形態に限定されるものではなく、様々な構造のアンチフューズに適用でき、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0074】

【発明の効果】

以上説明したように、この発明によれば、フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施形態に係る MOS トランジスタの第 1 の製造工程の断面

図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 2】

この発明の第 1 の実施形態に係る MOS トランジスタの第 2 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 3】

この発明の第 1 の実施形態に係る MOS トランジスタの第 3 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 4】

この発明の第 2 の実施形態に係る MOS トランジスタの第 1 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 5】

この発明の第 2 の実施形態に係る MOS トランジスタの第 2 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 6】

この発明の第 2 の実施形態に係る MOS トランジスタの第 3 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 7】

この発明の第 3 の実施形態に係る アンチフューズの第 1 の製造工程の断面図。

【図 8】

この発明の第 3 の実施形態に係る アンチフューズの第 2 の製造工程の断面図。

【図 9】

この発明の第 4 の実施形態に係る アンチフューズの第 1 の製造工程の断面図。

【図 10】

この発明の第 4 の実施形態に係る アンチフューズの第 2 の製造工程の断面図。

【図 11】

この発明の第 5 の実施形態に係る DRAM の第 1 の製造工程の断面図であり、(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 12】

この発明の第 5 の実施形態に係る DRAM の第 2 の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 1 3】

この発明の第 5 の実施形態に係る D R A M の第 3 の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 1 4】

この発明の第 5 の実施形態に係る D R A M の第 4 の製造工程の断面図であり、

(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 1 5】

この発明の第 5 の実施形態に係る D R A M のブロック図であり、(a) 図はメモリセルアレイ周辺の冗長回路を含めたブロック図、(b) 図は冗長回路内のブロック図。

【図 1 6】

この発明の実施形態の第 1 の変形例でアンチフューズの断面図。

【図 1 7】

この発明の実施形態の第 2 の変形例でアンチフューズの断面図。

【図 1 8】

この発明の実施形態の第 3 の変形例でアンチフューズの断面図。

【図 1 9】

従来の M O S 構造のアンチフューズの第 1 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 2 0】

従来の M O S 構造のアンチフューズの第 2 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 2 1】

従来の M O S 構造のアンチフューズの第 3 の製造工程の断面図であり、(a) 図は回路部、(b) 図はアンチフューズ部。

【図 2 2】

従来の D R A M の第 1 の製造工程の断面図であり、(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 2 3】

従来の D R A M の第 2 の製造工程の断面図であり、(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

【図 2 4】

従来の D R A M の第 3 の製造工程の断面図であり、(a) 図はメモリセルアレイ部、(b) 図はアンチフューズ部。

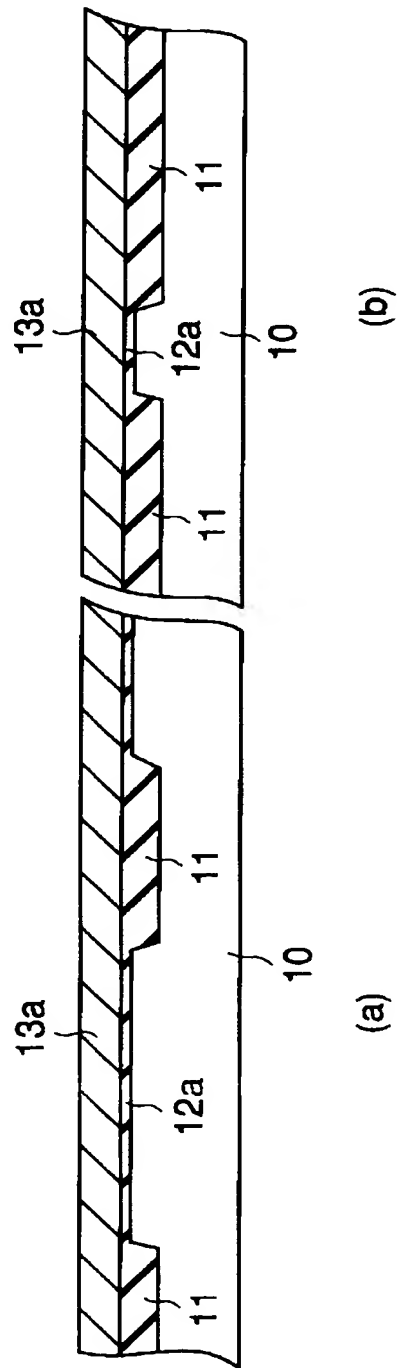
【符号の説明】

- 1 0、1 0 0 …シリコン基板
- 1 1、1 1 0 …素子分離領域
- 1 2、1 2 a、1 2 b、1 2 0 …ゲート絶縁膜
- 1 3、1 3 0 …ゲート電極
- 1 3 a、1 3 0 a …多結晶シリコン膜
- 1 3 b、1 3 0 b …タンゲステン膜
- 1 4、3 1、3 1 a、3 1 b、1 4 0 …不純物拡散層
- 1 5、1 6、2 2、2 5、3 2、1 5 0、1 6 0、2 2 0 …層間絶縁膜
- 1 7、2 4、1 7 0 …配線
- 1 8、1 8 0 …コンタクトプラグ
- 1 9、1 9 0 …キャパシタ下部電極
- 2 0 a、2 0 b、2 0 0 …キャパシタ絶縁膜
- 2 1、2 1 0 …キャパシタ上部電極
- 2 3、3 3 …コンタクトホール
- 3 0 - 1 ~ 5 …レジスト
- 3 4、3 6、3 7 …金属配線層
- 3 5 …シリコン窒化膜

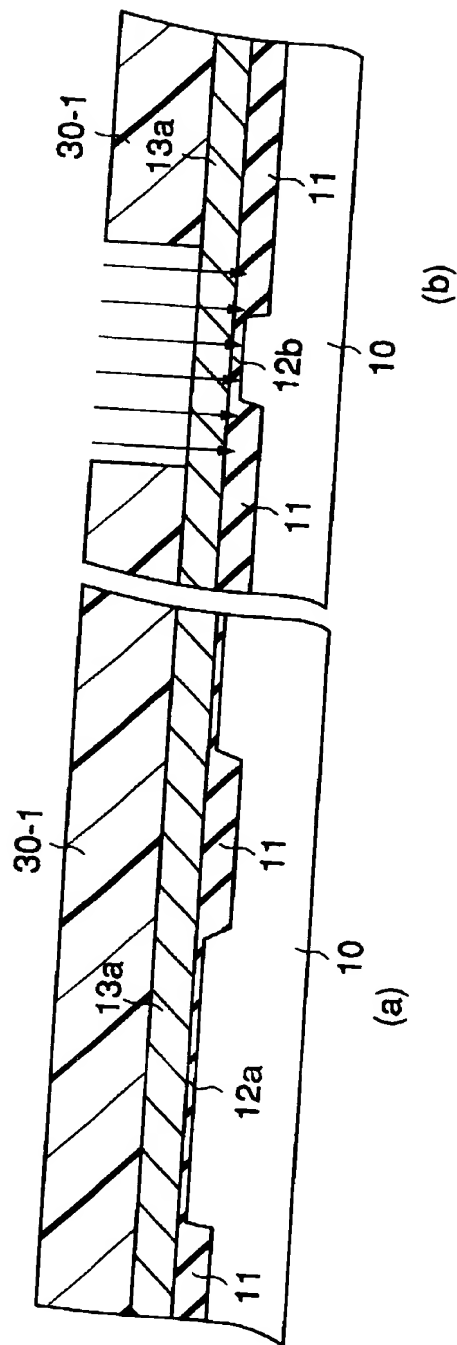
【書類名】

図面

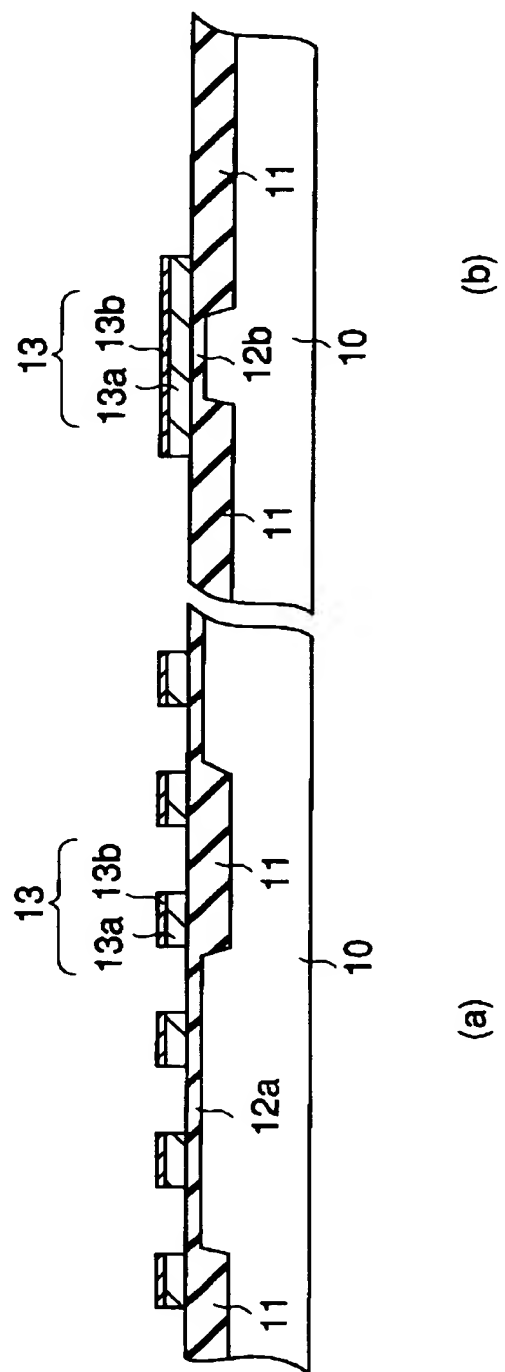
【図 1】



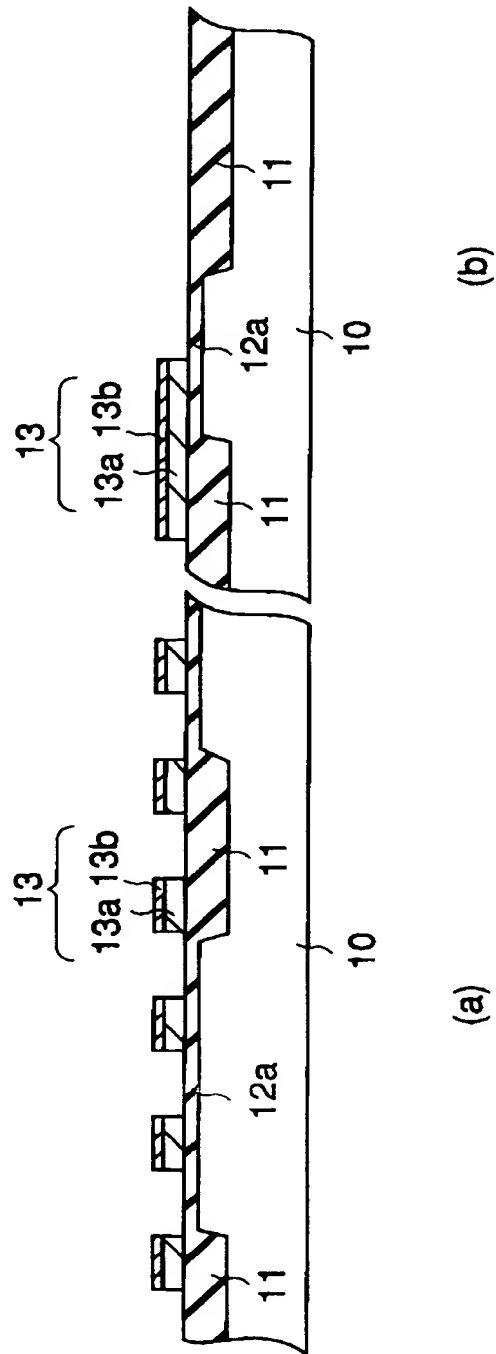
【図2】



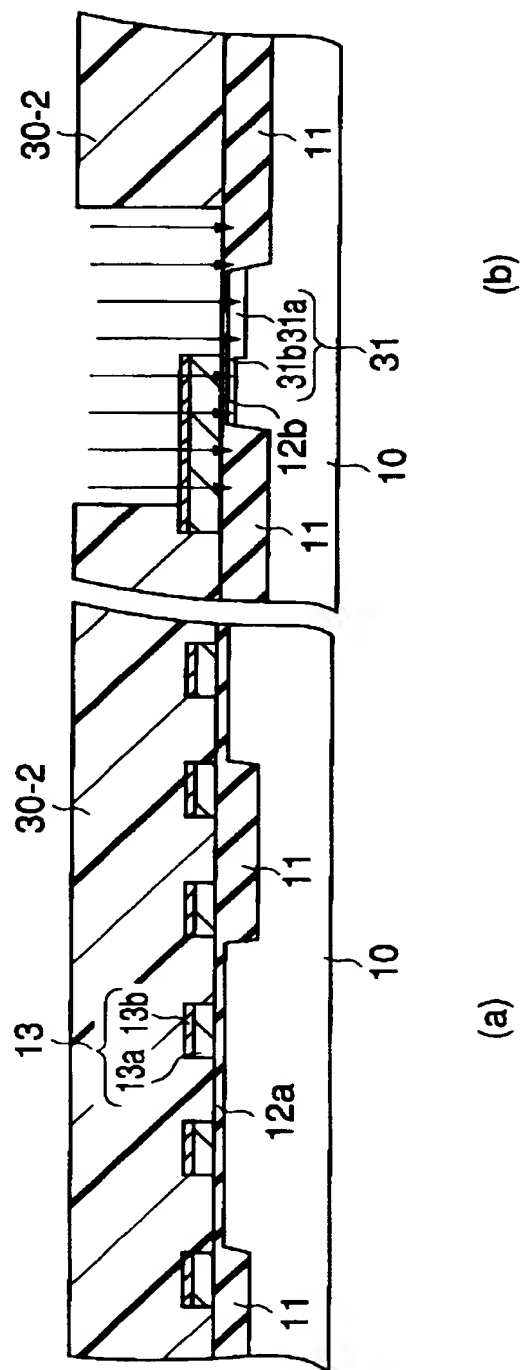
【図 3】



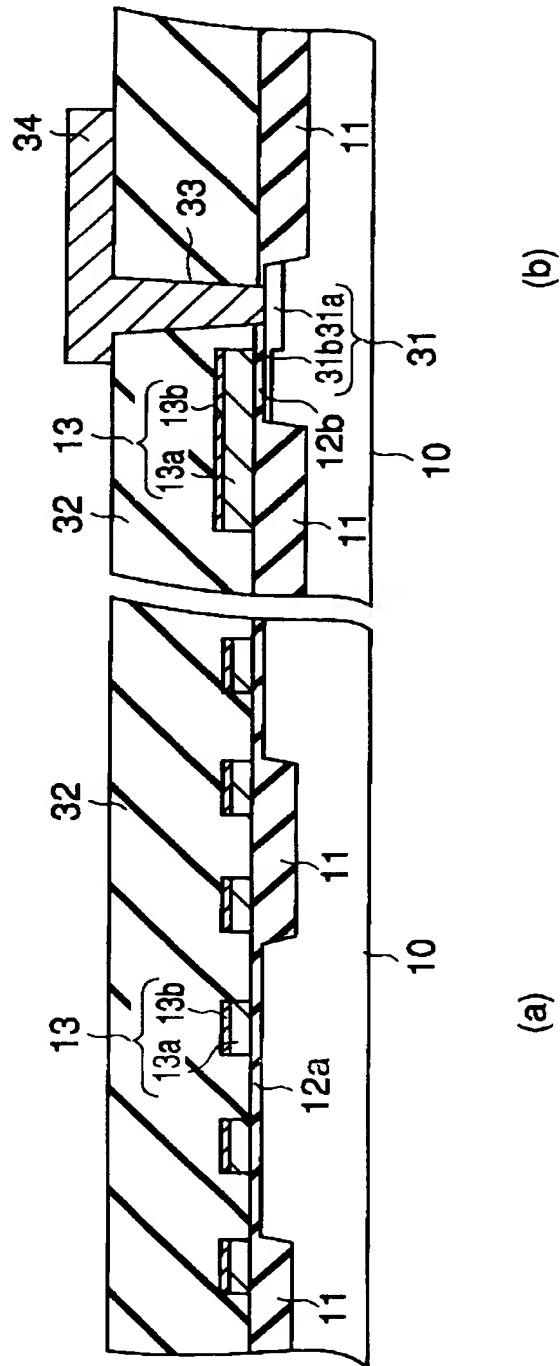
【図4】



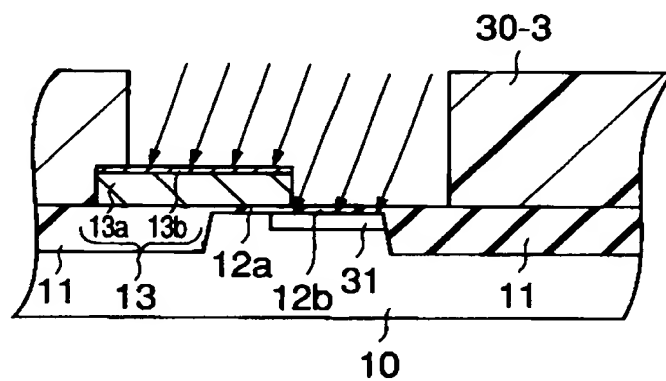
【図 5】



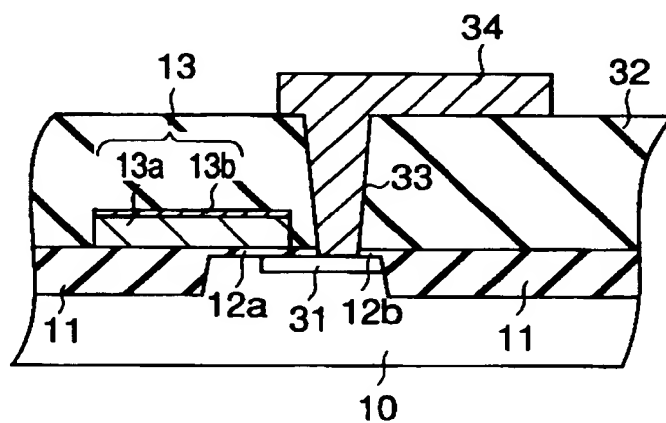
【図 6】



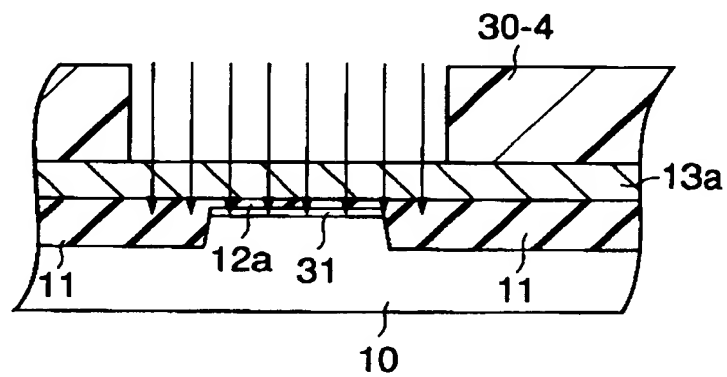
【図 7】



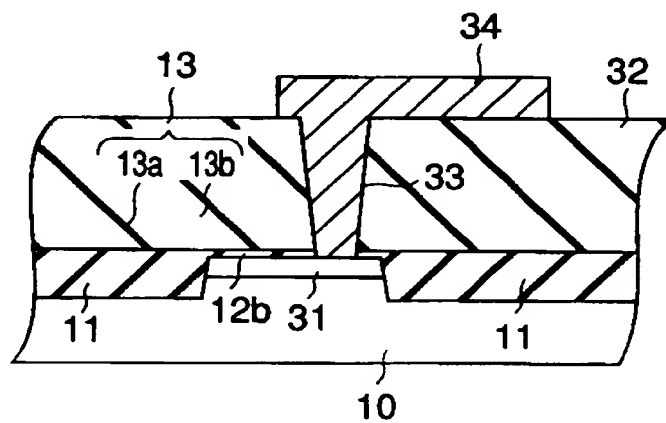
【図 8】



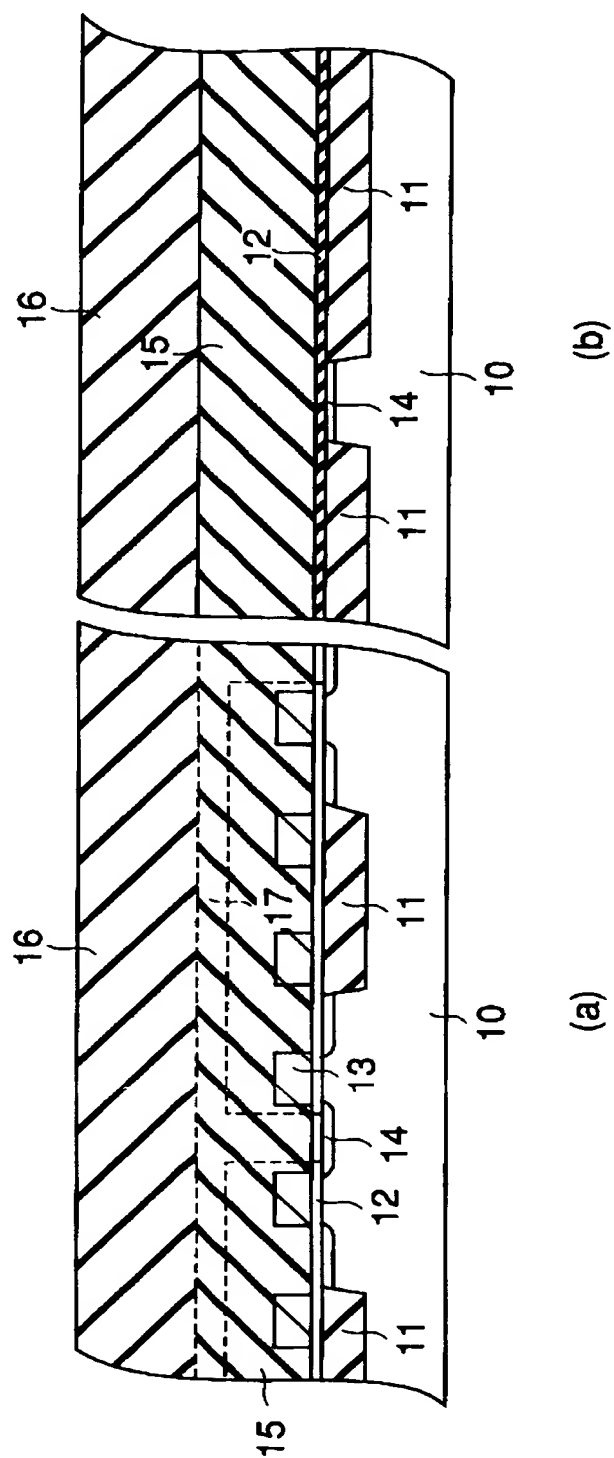
【図 9】



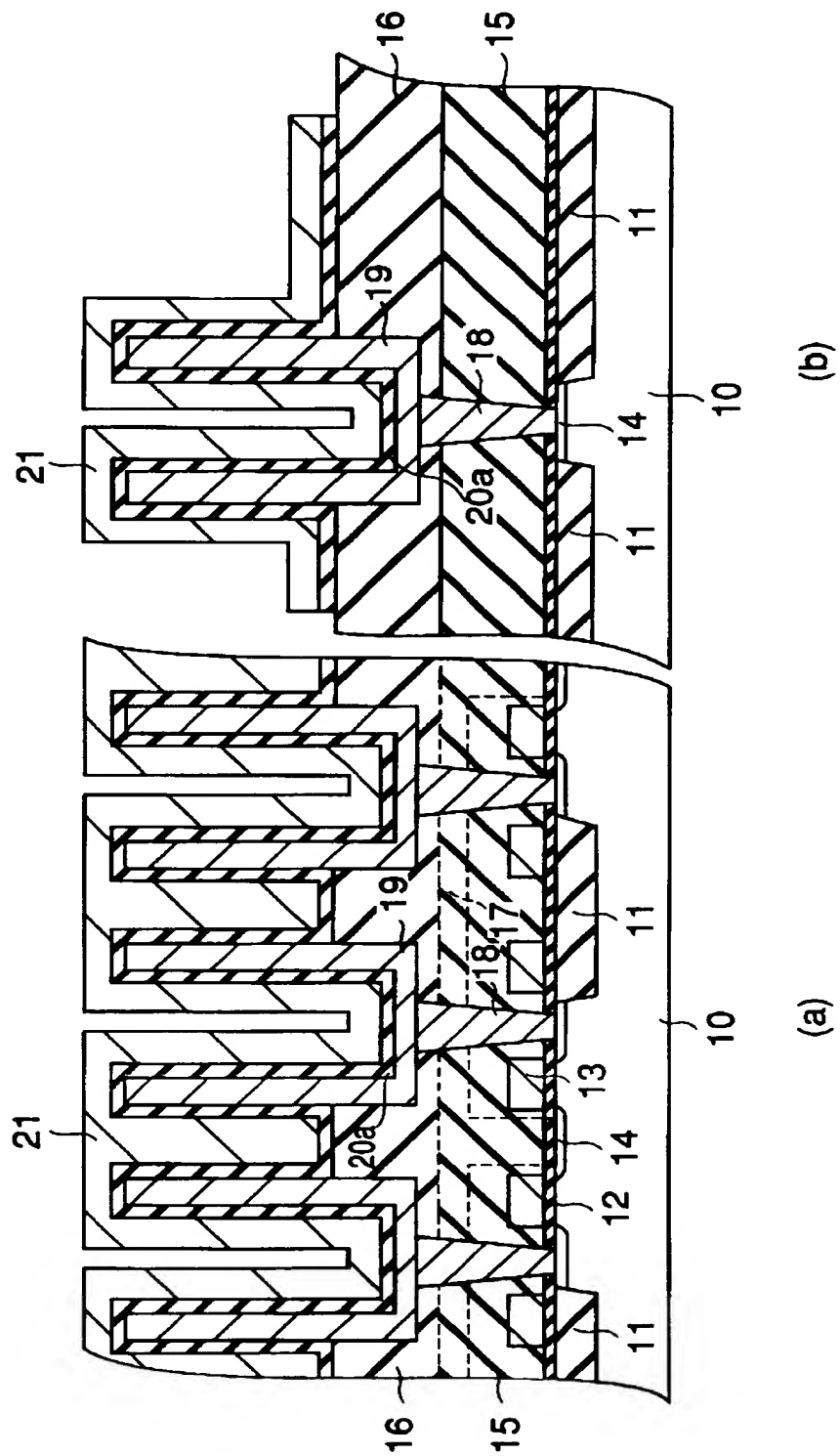
【図 1 0】



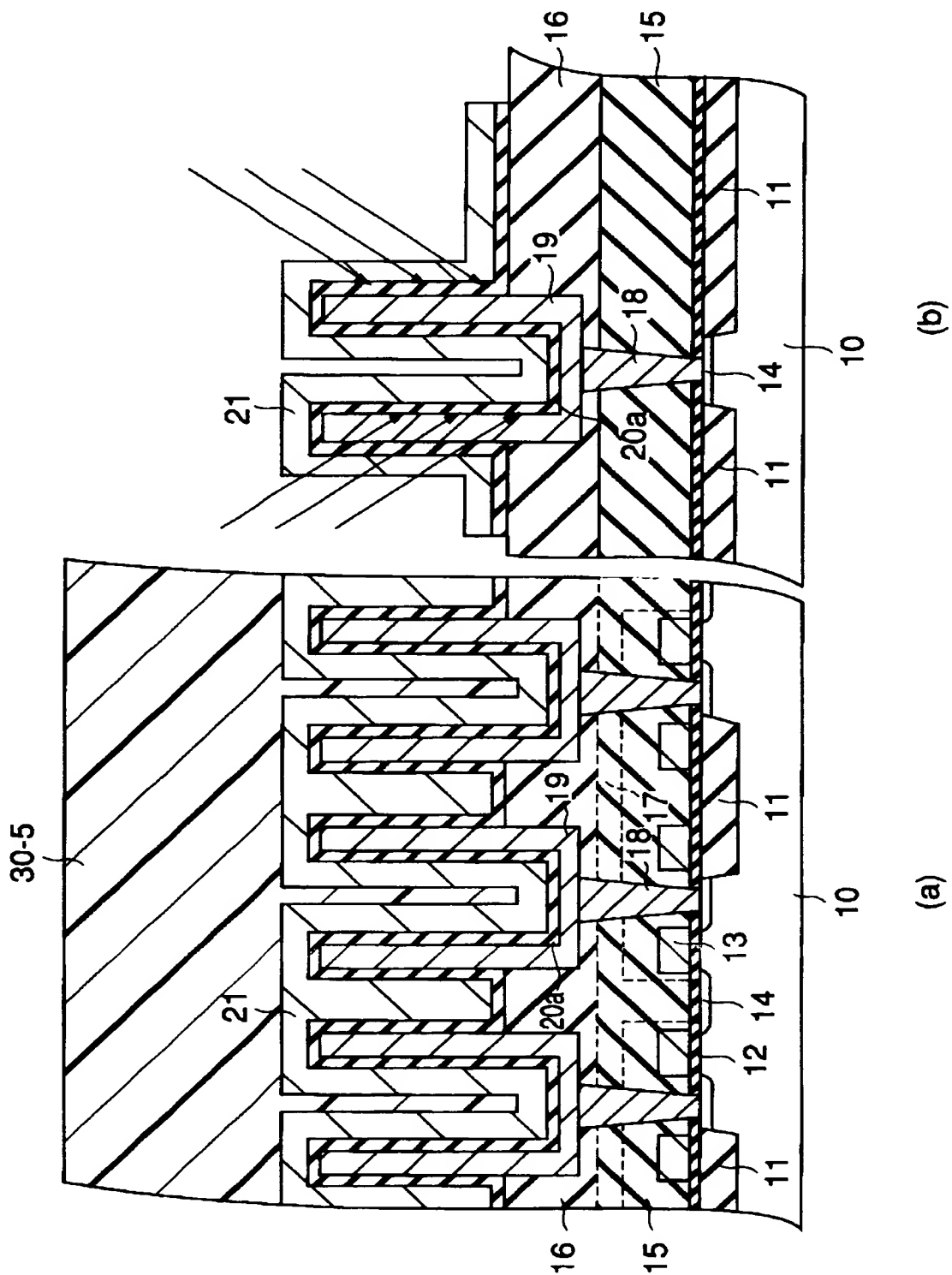
【図 1 1】



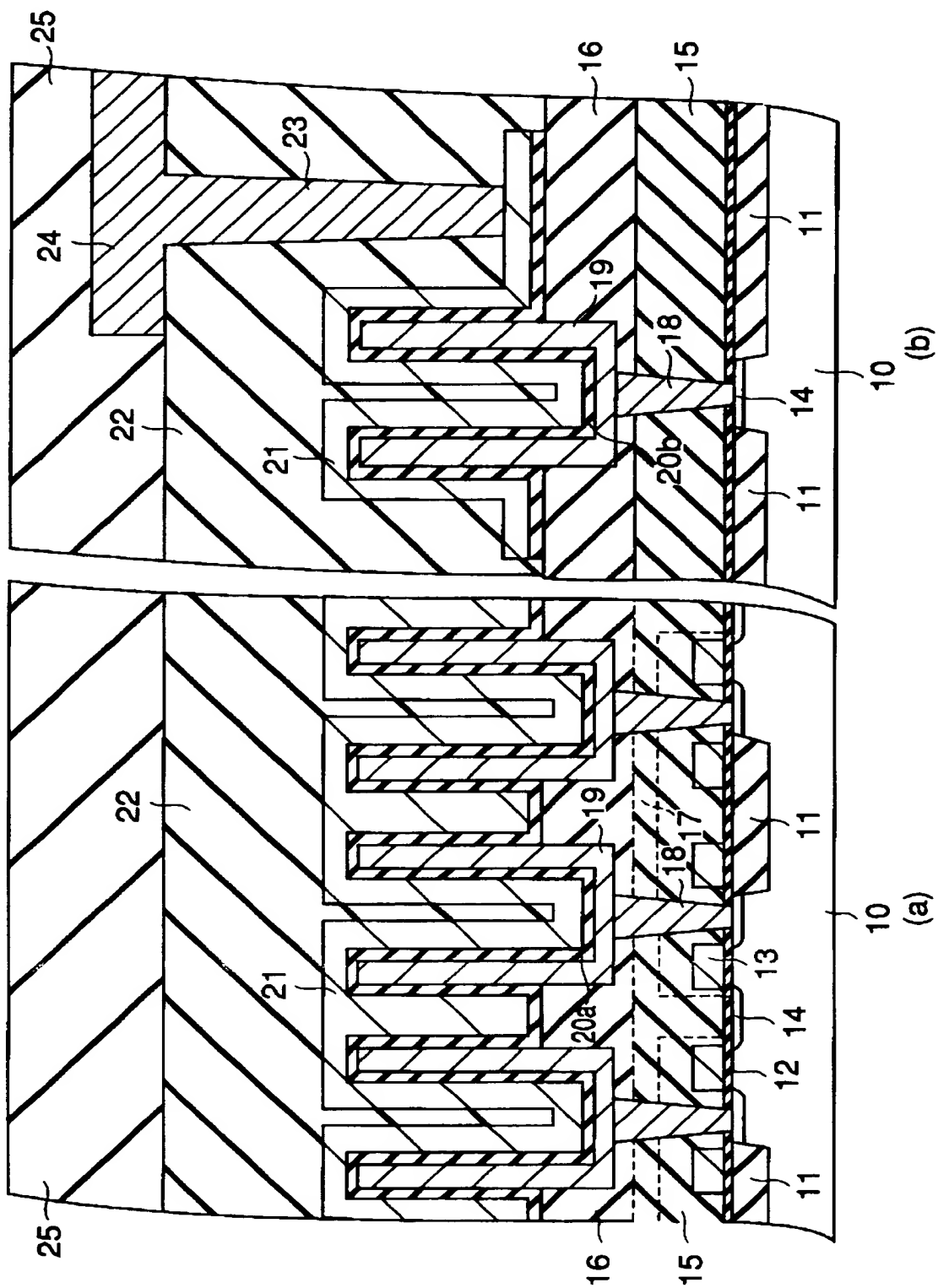
【図 12】



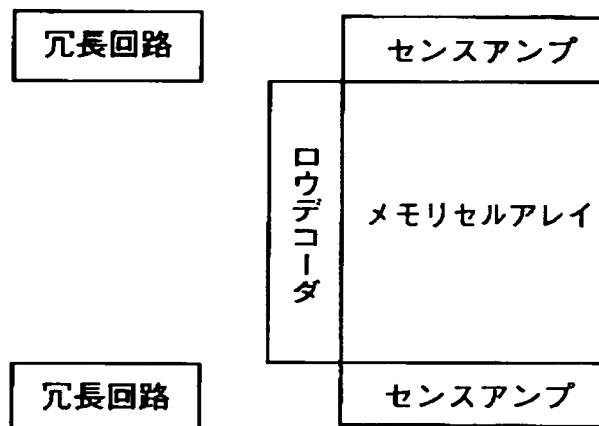
【図13】



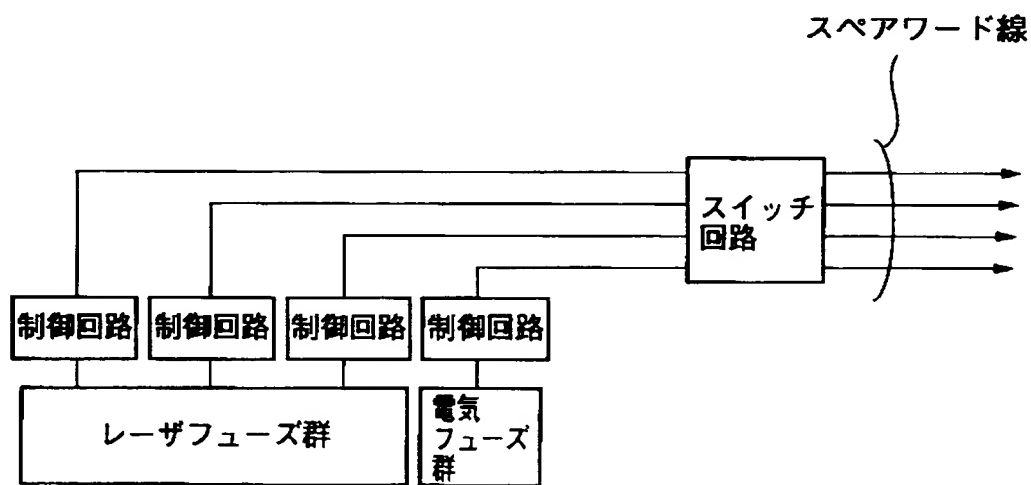
【図 14】



【図15】

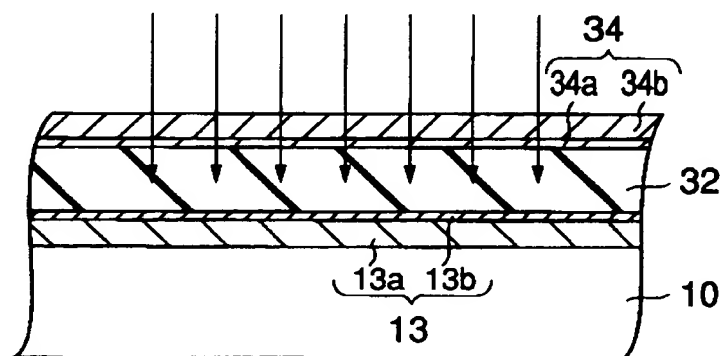


(a)

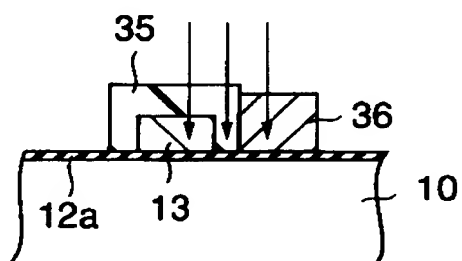


(b)

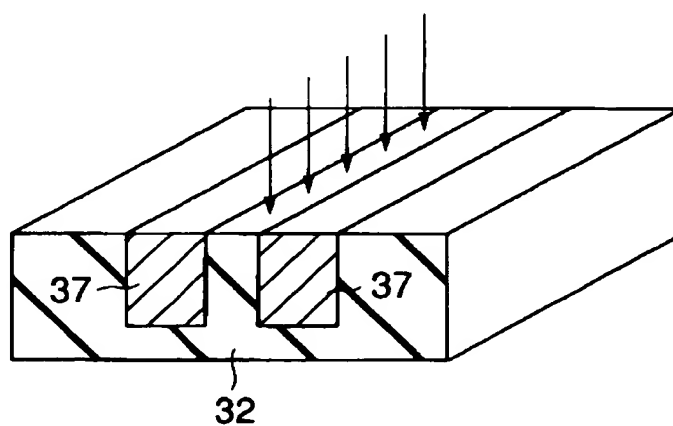
【図 16】



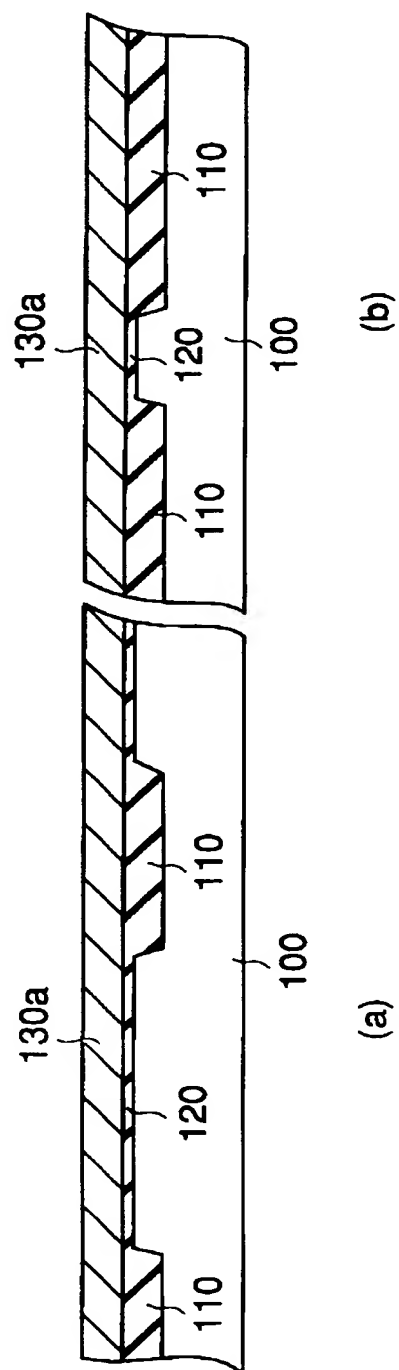
【図 17】



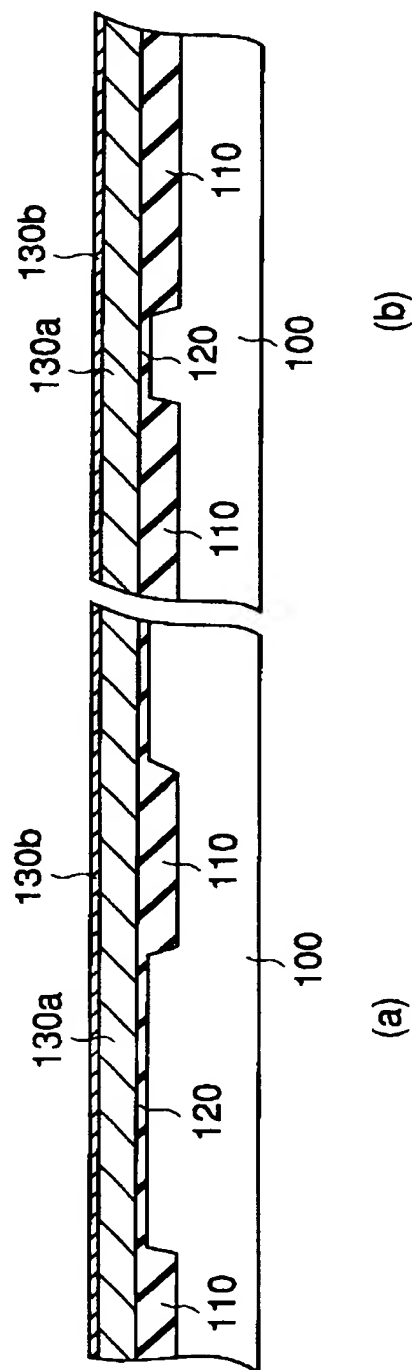
【図 18】



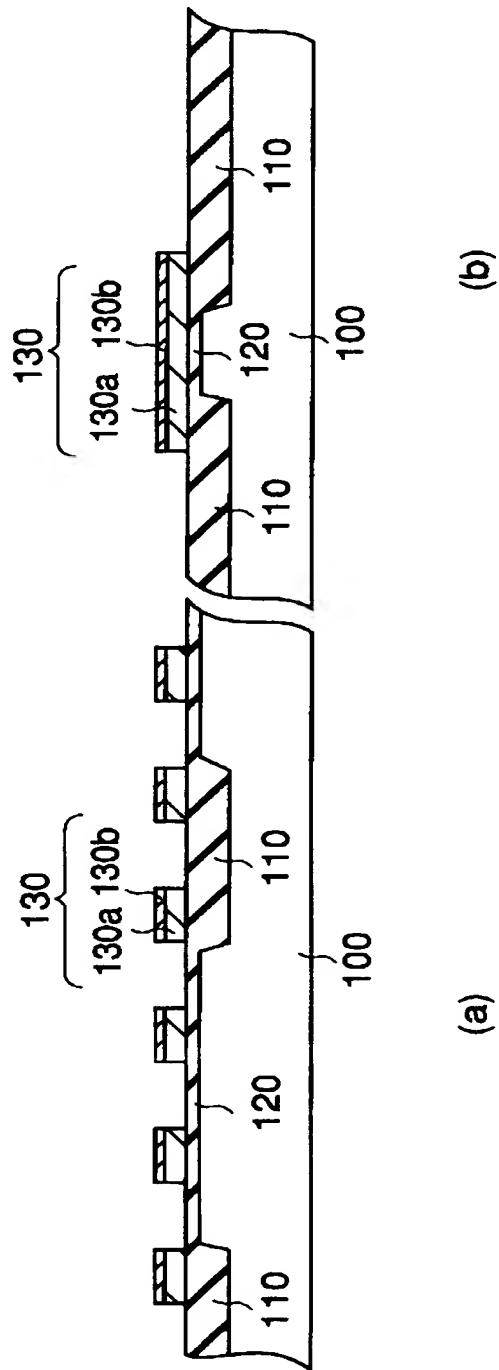
【図 1 9】



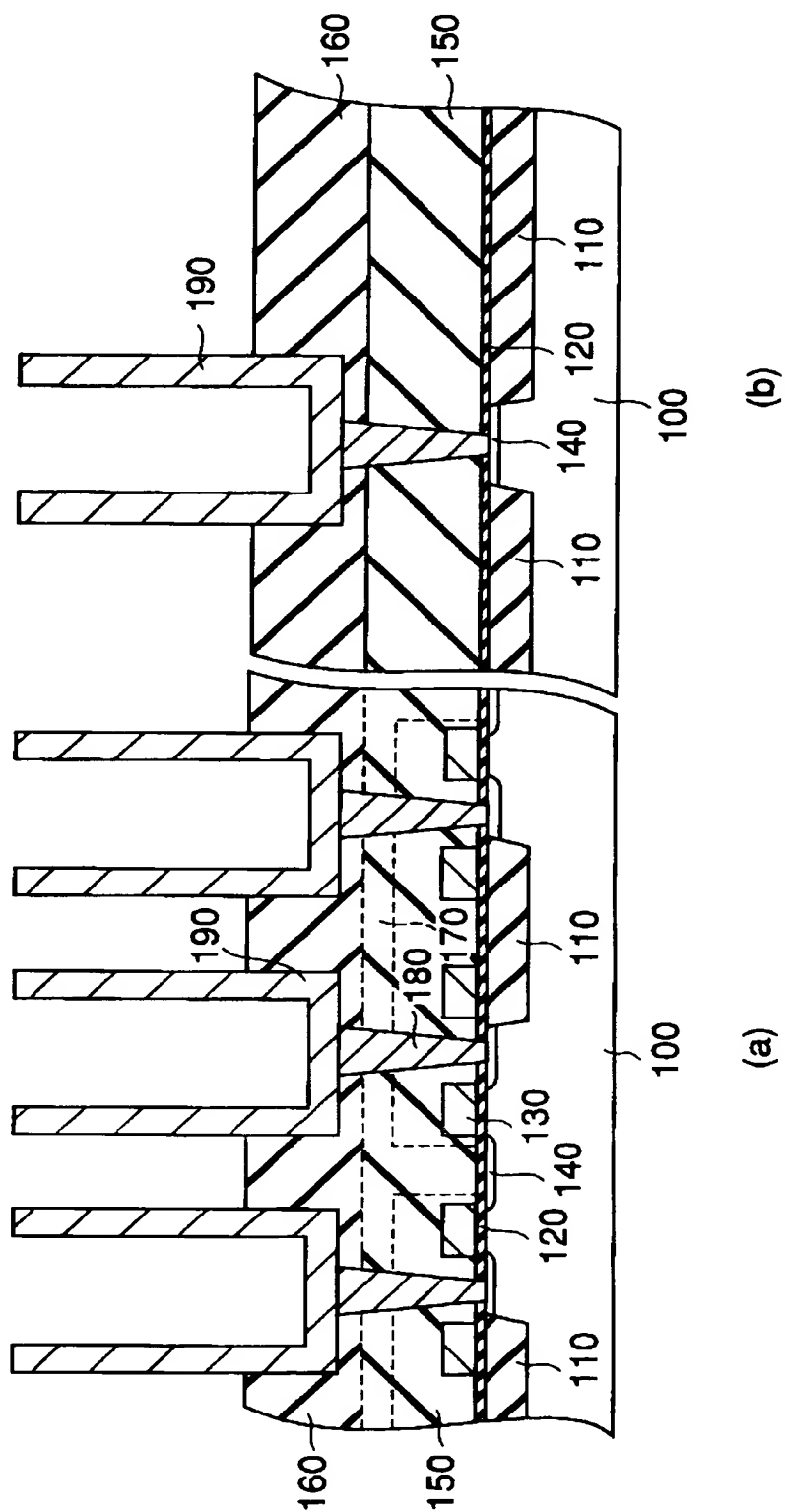
【図 2 0】



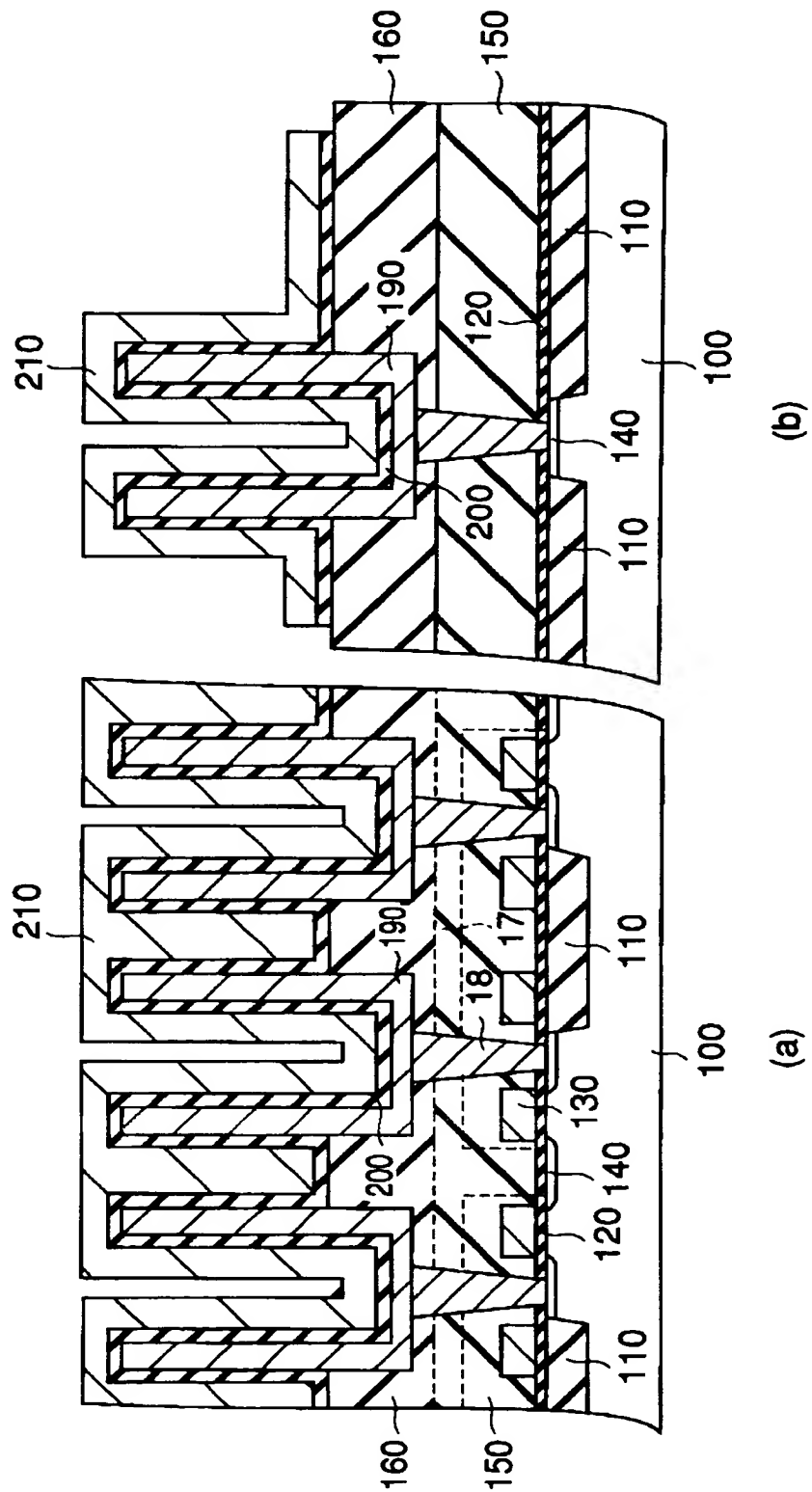
【図 21】



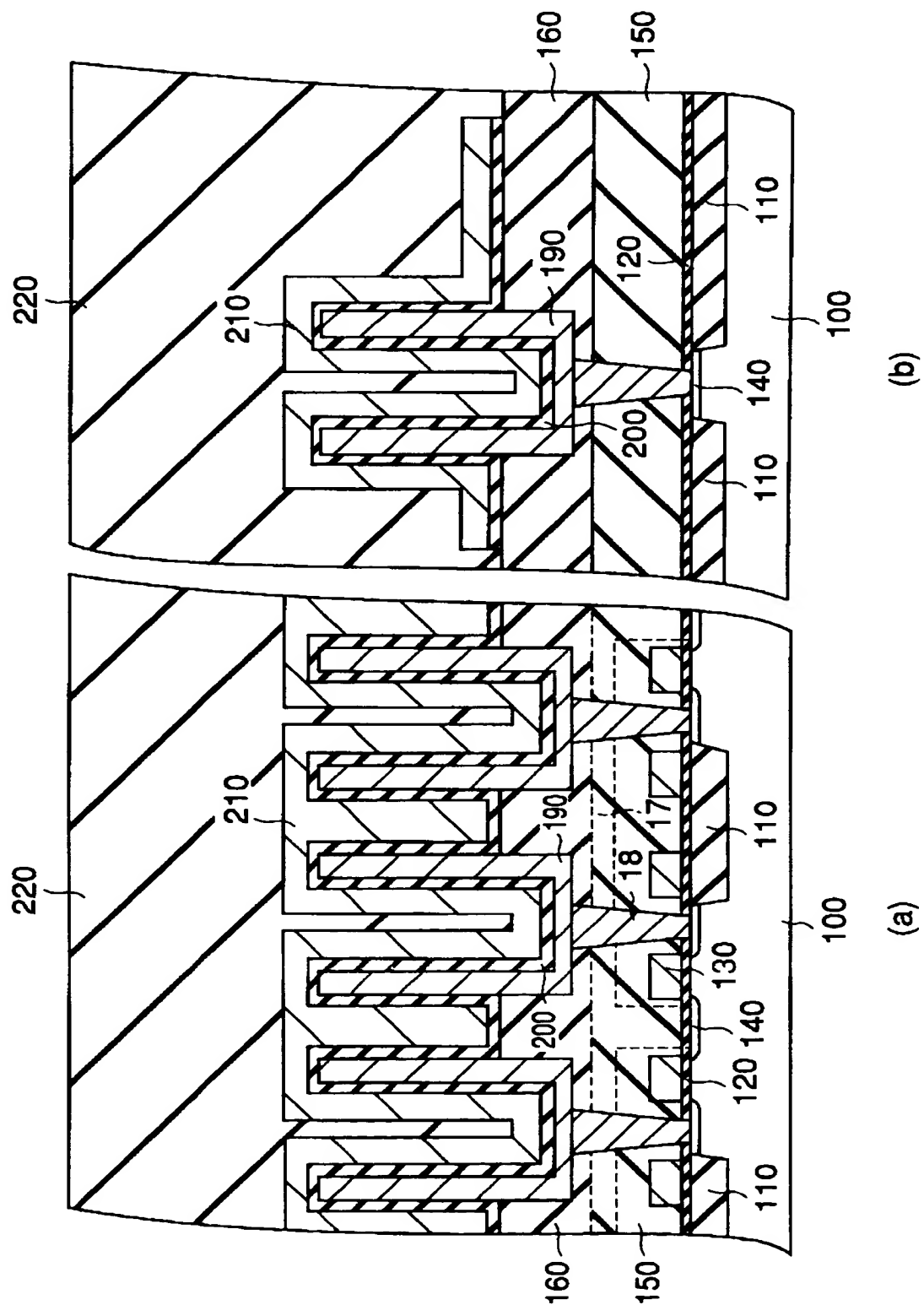
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 フューズキャパシタの性能を独立に制御することにより、開発期間を短縮化し、高信頼性、高性能の電気フューズ、この電気フューズを備えた半導体装置及びその製造方法を提供すること。

【解決手段】 アンチフューズ部に形成したゲート絶縁膜 1 2 a にイオンを注入することにより、MOS トランジスタのゲート絶縁膜 1 2 a に比べて絶縁破壊耐圧を低下させたゲート絶縁膜 1 2 b を形成し、アンチフューズへの書き込み電圧を低減することを特徴としている。また、ゲート絶縁膜 1 2 b の絶縁破壊耐圧はイオン注入時のイオン種、加速電圧、またはドーズ量等により制御出来るため、MOS トランジスタに求められる高い絶縁破壊耐圧と、フューズキャパシタに求められる低い絶縁破壊耐圧とを両立でき、更に開発期間の短縮を図ることが出来る。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝